

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-109432
 (43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G09G 3/30
 G09G 3/20
 // H01L 33/00
 H05B 33/14

(21)Application number : 11-285203

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 06.10.1999

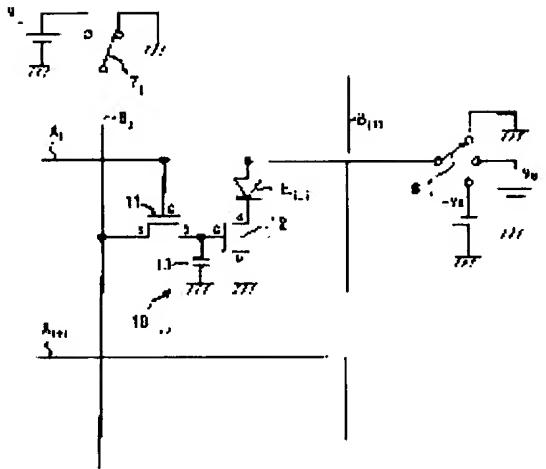
(72)Inventor : OKUDA YOSHIYUKI

(54) DRIVING DEVICE FOR ACTIVE MATRIX TYPE LIGHT EMITTING PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving device for active matrix type light emitting panel, capable of effectively applying a reverse bias voltage to each EL element of a light emitting panel.

SOLUTION: An address period and a light emitting period to each of plural capacitive light emitting elements are set repeatedly according to a synchronous timing of an input video data, and a drive element corresponding to a light emitting element to be made to emit among the plural capacitive light emitting elements is specified based on the input video data in the address period, then the specified drive element is turned on in the light emitting period following the address period, a light emitting voltage polarized in the forward direction is applied to the light emitting element to be made to emit via the drive element corresponding to the light emitting period, and a bias voltage polarized opposite to the forward direction is applied to at least the light emitting element to be made to emit among the plural capacitive light emitting elements during the address period.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-109432
(P2001-109432A)

(43) 公開日 平成13年4月20日(2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	マーク(参考)
G 0 9 G	3/30	G 0 9 G	3/30
	3/20		3/20
6 7 0		6 7 0 J	5 C 0 8 0
// H 0 1 L	33/00	H 0 1 L	33/00
H 0 5 B	33/14	H 0 5 B	33/14
			A

審査請求 未請求 請求項の数12 O.L (全 21 頁)

(21)出願番号 特願平11-285203
(22)出願日 平成11年10月6日(1999.10.6)

(71)出願人 000005016
バイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72)発明者 奥田 義行
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

(74)代理人 100079119
弁理士 藤村 元彦

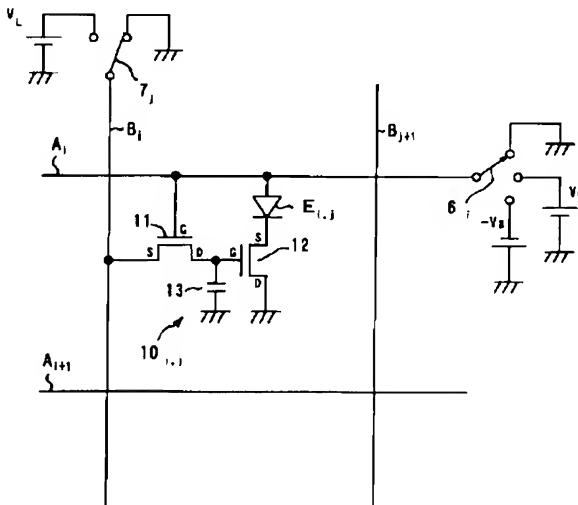
F ターム(参考) 3K007 AB00 BA06 DA00 DB03 EB00
FA01 GA00 GA04
5C080 AA06 BB05 DD29 EE29 FF11
GG12 JJ02 JJ03 JJ04
5F041 BB21 BB26 BB31 CA45 DB08
FF06

(54) 【発明の名称】 アクティブマトリックス型発光パネルの駆動装置

(57)【要約】

【課題】 発光パネルの各EL素子に効果的に逆バイアス電圧を印加させることができるアクティブマトリックス型発光パネルの駆動装置を提供する。

【解決手段】 入力映像データの同期タイミングに応じて複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定し、アドレス期間に入力映像データに応じて複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子をアドレス期間に続く発光期間にオンさせ、発光期間に対応する駆動素子を介して発光させるべき発光素子に順方向の極性にて発光電圧を印加し、アドレス期間内に複数の容量性発光素子のうちの少なくとも発光させるべき発光素子に順方向とは逆方向の極性にてバイアス電圧を印加する。



【特許請求の範囲】

【請求項1】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、
入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、
前記アドレス期間に前記入力映像データに応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子を前記アドレス期間に続く前記発光期間にオンさせるオン保持手段と、
前記発光期間に前記指定した駆動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、
前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項2】 前記電圧印加手段は、前記発光させるべき発光素子に前記バイアス電圧を前記対応する駆動素子を介して印加することを特徴とする請求項1記載の駆動装置。

【請求項3】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項4】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、前記複数の容量性発光素子の陰極にソースが接続され、ドレインがアース接続されたNチャンネルのFETからなり、
前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加する第1スイッチと、
前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項5】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、前記複数の容量性発光素子の陰極にドレインが接続され、ソースがアース接続されたPチャンネルのFETからなり、

前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記前記PチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記ア

20 アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、
前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項6】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行同時の前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項7】 前記駆動素子は、前記複数の容量性発光素子の陰極にソースが接続され、ドレインがアース接続されたNチャンネルのFETからなり、

前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間にゼロ電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加する第1スイッチ

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、

前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が正電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項8】 前記駆動素子は、前記複数の容量性発光素子の陽極にドレインが接続され、ソースがアース接続されたPチャンネルのFETからなり、

前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記前記PチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加し、前記発光期間に前記アドレス線とアースとの間にゼロ電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、

前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陰極側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陰極とアースとの間にその陰極側が負電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項9】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素

子各々を個別に駆動する能動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、

入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持して前記アドレス期間にその輝度電圧に応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、

前記指定された能動素子を前記アドレス期間に続く前記発光期間に前記輝度電圧に応じて能動状態又はオン状態にさせる保持手段と、

前記発光期間に前記指定された能動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項10】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項9記載の駆動装置。

【請求項11】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記能動素子は、前記複数の容量性発光素子の陰極にソースが接続され、ドレインがアース接続されたNチャンネルのFETからなり、

前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、

前記保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加するスイッチと、

前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオン又は能動状態となり、前記発光させるべき発光素子に前記NチャンネルのFETを

介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【請求項12】前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、

前記駆動素子は、前記複数の容量性発光素子の陰極にドレインが接続され、ソースがアース接続されたPチャンネルのFETからなり、

前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、

前記保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記前記PチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオン又は能動状態となり、前記発光させるべき発光素子に前記PチャンネルのFETを介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、有機エレクトロルミネセンス素子等の容量性発光素子を用いたアクティブマトリックス型発光パネルの駆動装置に関する。

【0002】

【従来の技術】近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型表示装置が実用化されている。複数の有機エレクトロルミネッセンス素子をマトリックス状に配列して構成される発光パネルを用いたマトリックスディスプレイは、かかる薄型表示装置の1つとして着目されている。

【0003】有機エレクトロルミネッセンス素子（以下、単にEL素子ともいう）は、電気的には、図1のような等価回路にて表すことができる。図から分かるように、素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Eとによる構成に置き換えることができる。よって、EL素子は、容量性の発光素子であると考えられている。EL素子は、直流の発光駆動電圧が電極間に印加されると、電荷が容量成分Cに蓄積さ

れ、続いて当該素子固有の障壁電圧または発光閾値電圧を越えると、電極（ダイオード成分Eの陽極側）から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で発光する。

【0004】かかるEL素子発光パネルとしては、EL素子を単にマトリックス状に配置した単純マトリックス型発光パネルと、マトリックス状に配置した各EL素子にトランジスタからなる駆動素子を加えたアクティブマトリックス型発光パネルとが知られている。アクティブマトリックス型発光パネルの駆動装置においては、各EL素子を発光駆動するためにアドレス期間と発光期間とを交互に繰り返すことが行われている。アドレス期間はマトリックス発光パネル上の発光させるべきEL素子を指定する期間であり、発光期間はアドレス期間に指定されたEL素子に発光電圧を印加する期間である。

【0005】

【発明が解決しようとする課題】ところで、EL素子においては、発光に関与しない逆方向に電圧を印加すると素子寿命が延びることが経験的に知られている。しかしながら、従来のアクティブマトリックス型発光パネルの駆動装置においては、例えば、特開平7-111341号公報に示されたように、EL素子には発光期間において順方向に電圧を印加するだけであり、いずれの期間においてもEL素子に対して逆バイアスとなるように電圧を印加することは行われていない。

【0006】

そこで、本発明の目的は、アクティブマトリックス型発光パネルの各EL素子に効果的に逆バイアス電圧を印加させることができるアクティブマトリックス型発光パネルの駆動装置を提供することである。

【0007】

【課題を解決するための手段】本発明のアクティブマトリックス型発光パネルの駆動装置は、マトリックス状に配置され各々が極性を有する複数の容量性発光素子と複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、入力映像データの同期タイミングに応じて複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、アドレス期間に入力映像データに応じて複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子をアドレス期間に統く発光期間にオンさせるオン保持手段と、発光期間に指定した駆動素子を介して発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、電圧印加手段は、アドレス期間内に複数の容量性発光素子のうちの少なくとも発光させるべき発光素子に順方向とは逆方向の極性にてバイアス電圧を印加することを特徴としている。

【0008】

また、本発明のアクティブマトリックス型発光パネルの駆動装置は、マトリックス状に配置され

各々が極性を有する複数の容量性発光素子と複数の容量性発光素子各々を個別に駆動する能動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、入力映像データの同期タイミングに応じて複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、アドレス期間の直前に入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持してアドレス期間にその輝度電圧に応じて複数の容量性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、指定された能動素子をアドレス期間に続く発光期間に輝度電圧に応じて能動状態又はオン状態にさせる保持手段と、発光期間に指定された駆動素子を介して発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、電圧印加手段は、アドレス期間内に複数の容量性発光素子のうちの少なくとも発光させるべき発光素子に順方向とは逆方向の極性にてバイアス電圧を印加することを特徴としている。

【0009】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図2は本発明によるEL素子を用いた線順次表示方式の駆動装置を示している。この駆動装置は、アクティブマトリックス型発光パネル10、A/D変換器1、駆動制御回路2、メモリ4、アドレス走査ドライバ6及びデータドライバ7から構成されている。

【0010】発光パネル10において、複数のEL素子E_{1,1}～E_{m,n}は、アドレス線（陽極線）A₁～A_m及びデータ線（陰極線）B₁～B_nの複数の交差位置にマトリックス状に配置されている。アドレス走査ドライバ6は発光パネル10のアドレス線A₁～A_mに接続され、発光閾値V_{th}を超える発光電位V_e、逆バイアス電位-V_a及び0Vのいずれか1の電位をアドレス線A₁～A_m各々に個別に供給する。データドライバ7は発光パネル10のデータ線B₁～B_nに接続され、正電位V_t及び0Vのいずれか一方の電位をデータ線B₁～B_n各々に個別に供給する。

【0011】A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応したNビットの画素データDに変換し、これをメモリ4に供給する。メモリ4は、駆動制御回路2から供給された書込信号に従って上記画素データDを順次書き込む。かかる書込動作により発光パネル10における1画面（m行、n列）分の書き込みが終了すると、メモリ4は、駆動制御回路2から供給された読出信号に応じてこの1画面分の画素データD_{1,1～m,n}を各ビット桁毎に分割し、かつ第1行から第m行へと1行分毎に読み出したものを駆動画素データビット群D_{B,1}～D_{B,n}として順次、データドライバ7に供給する。

【0012】駆動制御回路2は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込及び読出信号を発生する。更に、駆動制御回路2は、上記入力映像信号における1フィールド期間を8個のサブフィールドに分割し、各サブフィールド内において各種駆動バルスを発光パネル10に印加すべきタイミング信号をアドレス走査ドライバ6及びデータドライバ7の各々に供給する。このフィールドのサブフィールドへの分割は、258階調の表示をするためであり、各サブフィールドの輝度の相対比が1, 2, 4, 8, 16, 32, 64, 128となるように設定され、それらのサブフィールドの選択的組み合わせにより256階調が実現される。なお、1フィールド期間を8サブフィールド以外の数のサブフィールドに分割しても良い。

【0013】各サブフィールドの動作は共通しているので、1サブフィールド分だけを説明すると、図3に示すように、1サブフィールドにおいてはアドレス線A₁から順にアドレス期間となり、そのアドレス期間の開始はアドレス線A_mに向かって各アドレス線毎に所定期間だけ遅れる。アドレス走査ドライバ6は、アドレス期間において逆バイアス電位-V_aを走査バルスS_Pとしてアドレス線に供給する。アドレス期間が終了すると、発光期間となり、アドレス走査ドライバ6は、発光電位V_eをアドレス線に供給する。1サブフィールド内において各アドレス線毎のアドレス期間は同一の長さであり、発光期間も同一の長さであるが、1フィールド内において時間的に後に位置するサブフィールドほど、発光期間は短くなる。

【0014】データドライバ7は、上記メモリ4から順次読み出された駆動画素データビット群D_{B,1}～D_{B,n}各々に対応した画素データバルス群D_{P,1}～D_{P,n}を発生し、これらをアドレス期間にあるデータ線B₁～B_nに順次印加して行く。なお、データドライバ7は、駆動画素データビット群D_B中における1データビットが例えば論理レベル"0"である場合には電圧V_tの画素データバルスを発生する一方、論理レベル"1"である場合には0Vの画素データバルスを発生してデータ線B₁～B_nに印加する。すなわち、データドライバ7は、この画素データバルスの1行分(n個)を上記画素データバルス群D_Pとしてデータ線B₁～B_nに印加するのである。

【0015】この際、走査バルスS_Pが印加された"行"と、電圧V_tの画素データバルスが印加された"列"との交差部のEL素子にのみ発光期間において電流が流れて発光状態となる。一方、走査バルスS_Pが印加されたものの、0Vの画素データバルスが印加されたEL素子には発光期間において電流は流れず、非発光状態となる。

【0016】図4は1フィールド内における発光パネル10の行方向（アドレス線A₁～A_m方向）についての第1サブフィールド～第8サブフィールド各々の時間的

位置を示している。各サブフィールド内においてサブフィールド終了直前にアドレス走査ドライバ6は、0Vをアドレス線A₁～A_nに供給してEL素子をリセットする。

【0017】図5は発光パネル10におけるアドレス線A₁～A_nのうちの1つのアドレス線A₁とデータ線B₁～B_mのうちの1つのデータ線B₁とが交差する位置に設けられたEL素子E_{1,1}を含む発光回路10_{1,1}を示している。発光回路10_{1,1}はEL素子E_{1,1}の他に、Pch(チャンネル)のMOSFET11、NchのMOSFET12及びコンデンサ13を備えている。アドレス線A₁にはEL素子E_{1,1}のアノードとFET11のゲートとが接続されている。データ線B₁にはFET11のソースが接続されている。FET11のドレインにはFET12のゲートが接続され、その接続ラインはコンデンサ13を介してアース接続されている。EL素子E_{1,1}のカソードにはFET12のソースが接続されており、FET12のドレインはアース接続されている。

【0018】アドレス線A₁はアドレス走査ドライバ6内のスイッチ6₁に接続されており、スイッチ6₁は上記した発光電位V_e、逆バイアス電位V_a及び0Vのアース電位のいずれか1の電位を選択的にアドレス線A₁に供給する。また、データ線B₁はデータドライバ7内のスイッチ7₁に接続されており、スイッチ7₁は正電位V_t及び0Vのアース電位のいずれか一方の電位をデータ線B₁に供給する。スイッチ6₁及び7₁の切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0019】EL素子E_{1,1}が発光するサブフィールドにおいては、アドレス線A₁の行がアドレス期間になると、スイッチ6₁はアドレス線A₁に逆バイアス電位-V_aを供給する。すなわち、アドレス線A₁の選択は、負電位-V_aのアドレッシングパルスの供給により行われ、このときEL素子E_{1,1}のアノードに負電位-V_aが印加され、カソードはアース電位であることからEL素子E_{1,1}は逆方向にバイアスされる。一方、データ線B₁にはアドレス期間において正電位V_tがスイッチ7₁を介して供給されるので、FET11はオンとなり、電圧V_tによってコンデンサ13が充電される。このときFET12のゲートにはコンデンサ13の端子電圧である正電圧が印加される。

【0020】アドレス期間が終了して発光期間となると、スイッチ6₁はアドレス線A₁に発光電位V_eを供給するので、FET11はオフとなるが、FET12はそのゲートにコンデンサ13の充電電圧が印加されるためオン状態となる。よって、FET12のオンによりEL素子E_{1,1}のカソードはアース電位に等しくなり、EL素子E_{1,1}には発光電圧V_eが順方向にて印加されるので電流が流れEL素子E_{1,1}は発光状態となる。

【0021】発光期間が終了すると、スイッチ6₁は0Vのアース電位をアドレス線A₁に供給するので、EL

素子E_{1,1}の両端子間がほぼ0Vとなりリセット期間となる。かかる発光回路10_{1,1}は第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光パネル10の発光回路10_{1,1}以外の発光回路10_{1,2}～10_{1,m}（図示せず）各々においても発光回路10_{1,1}と同様に動作する。

【0022】なお、発光回路10_{1,1}は図6に示すように構成することもできる。図6の発光回路10_{1,1}はEL素子E_{1,1}の他に、NchのMOSFET16、PchのMOSFET17及びコンデンサ18からなる。アドレス線A₁にはEL素子E_{1,1}のカソードとFET16のゲートとが接続されている。データ線B₁にはFET16のソースが接続されている。FET16のドレインにはFET12のゲートが接続され、その接続ラインはコンデンサ18を介してアース接続されている。EL素子E_{1,1}のアノードにはFET12のドレインが接続されており、FET12のソースはアース接続されている。

【0023】アドレス線A₁に接続されたスイッチ6₁は上記した発光電位-V_e、逆バイアス電位V_a及び0Vのいずれか1の電位を選択的にアドレス線A₁に供給する。また、データ線B₁に接続されたスイッチ7₁は電位V_t及び0Vのいずれか一方の電位をデータ線B₁に供給する。スイッチ6₁及び7₁の切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0024】この図6のEL素子E_{1,1}が発光するサブフィールドにおいては、アドレス線A₁の行がアドレス期間になると、スイッチ6₁はアドレス線A₁に逆バイアス電位V_aを供給する。このときEL素子E_{1,1}のカソードには正電位V_eが印加され、アノードはアース電位であることからEL素子E_{1,1}は図5の場合と同様に逆方向にバイアスされる。一方、データ線B₁にはアドレス期間において正電位V_tがスイッチ7₁を介して供給されるので、FET16はオンとなり、電圧V_tによってコンデンサ18が充電される。このときFET17のゲートにはコンデンサ18の端子電圧である正電圧が印加される。

【0025】アドレス期間が終了して発光期間となると、スイッチ6₁はアドレス線A₁に発光電位-V_eを供給するので、FET16はオフとなるが、FET17はそのゲートにコンデンサ18の充電電圧が印加されるためオン状態となる。よって、FET16のオンによりEL素子E_{1,1}のアノードはアース電位に等しくなり、EL素子E_{1,1}には発光電圧V_eが順方向にて印加されるので電流が流れEL素子E_{1,1}は発光状態となる。

【0026】発光期間が終了すると、スイッチ6₁は0Vのアース電位をアドレス線A₁に供給するので、EL素子E_{1,1}の両端子間がほぼ0Vとなりリセット期間となる。図7は本発明によるEL素子を用いた全面一斉表示方式の駆動装置を示している。この駆動装置は、アク

ティプマトリックス型発光パネル20と、A/D変換器21、駆動制御回路22、メモリ24、アドレス走査ドライバ26、データドライバ27及び電源回路28から構成されている。

【0027】発光パネル20において、複数のEL素子E_{1,1}～E_{m,n}は、アドレス線A₁～A_m及びデータ線B₁～B_nの複数の交差位置にマトリックス状に配置されている。EL素子E_{1,1}～E_{m,n}各々のアノードは電源線Cに共通接続されている。アドレス走査ドライバ26は発光パネル20のアドレス線A₁～A_mに接続され、電位V_{cc}及び0Vのアース電位のいずれか一方の電位をアドレス線A₁～A_m各々に個別に供給する。データドライバ27は発光パネル20のデータ線B₁～B_nに接続され、正電位V₁及び0Vのいずれか一方の電位をデータ線B₁～B_n各々に個別に供給する。電源回路28は電源線Cに接続され、発光電位V_e、逆バイアス電位-V_a及び0Vのアース電位のいずれか1の電位を電源線Cに供給する。

【0028】A/D変換器21は、駆動制御回路22から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応したNビットの画素データDに変換し、これをメモリ24に供給する。メモリ24は、駆動制御回路22から供給された書込信号に従って上記画素データDを順次書き込む。かかる書き動作により発光パネル20における1画面(m行、n列)分の書き込みが終了すると、メモリ24は、駆動制御回路22から供給された読出信号に応じてこの1画面分の画素データD_{1,1～m,n}を各ビット桁毎に分割し、かつ第1行から第m行へと1行分毎に読み出したものを駆動画素データビット群D_{B,1}～D_{B,n}として順次、データドライバ27に供給する。

【0029】駆動制御回路22は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込及び読出信号を発生する。更に、駆動制御回路22は、上記入力映像信号における1フィールド期間を8個のサブフィールドに分割し、各サブフィールドにおいて各種駆動バルスを発光パネル10に印加すべきタイミング信号をアドレス走査ドライバ26、データドライバ27及び電源回路28の各々に供給する。

【0030】各サブフィールドの動作は共通しているので、1サブフィールド分だけを説明すると、図8に示すように、1サブフィールドにおいてはアドレス線A₁～A_mが全てアドレス期間となり、アドレス期間が終了すると、アドレス線A₁～A_m全てが発光期間となる。発光期間は1フィールド内において時間的に後に位置するサブフィールドほど長くなる。

【0031】アドレス走査ドライバ26は、アドレス期間において0Vのアース電位を走査バルスSPとしてアドレス線A₁から順番にアドレス線に供給する。アドレ

ス線A_mに走査バルスを供給すると、アドレス期間は終了して発光期間となる。また、アドレス走査ドライバ6は、走査バルスSPの供給時以外においてはアドレス線A₁～A_mを正電位V_{cc}に維持する。

【0032】データドライバ27は、上記メモリ24から順次読み出された駆動画素データビット群D_{B,1}～D_{B,n}各々に対応した画素データバルス群D_{P,1}～D_{P,n}を発生し、これらをアドレス期間において走査バルスSPに同期してデータ線B₁～B_nに順次印加して行く。なお、データドライバ27は、駆動画素データビット群D_B中における1データビットが例えば論理レベル"0"である場合には電圧V₁の画素データバルスを発生する一方、論理レベル"1"である場合には0Vの画素データバルスを発生してデータ線B₁～B_nに印加する。すなわち、データドライバ27は、この画素データバルスの1行分(n個)を上記画素データバルス群D_Pとしてデータ線B₁～B_nに印加するのである。

【0033】電源回路28はアドレス期間において逆バイアス電位-V_aを電源線Cに供給し、発光期間においては発光電位V_eを電源線Cに供給する。アドレス期間に走査バルスSPが印加された"行"と、電圧V₁の画素データバルスが印加された"列"との交差部のEL素子のみ発光期間において発光電位V_eによる電流が流れて発光状態となる。一方、走査バルスSPが印加されたものの、0Vの画素データバルスが印加されたEL素子には発光期間において電流は流れず、非発光状態となる。

【0034】図9は1フィールド内における発光パネル20の行方向(アドレス線A₁～A_m方向)についての第1サブフィールド～第8サブフィールド各々の時間的位置を示している。各サブフィールド間において電源回路28は、0Vのアース電位を電源線Cに供給してEL素子をリセットする。図10は発光パネル20におけるアドレス線A₁～A_mのうちの1つのアドレス線A₁とデータ線B₁～B_nのうちの1つのデータ線B₁とが交差する位置に設けられたEL素子E_{1,1}を含む発光回路20_{1,1}を示している。発光回路20_{1,1}はEL素子E_{1,1}の他に、PchのMOSFET31、NchのMOSFET32及びコンデンサ33を備えている。アドレス線A₁にはFET31のゲートが接続されている。データ線B₁にはFET31のソースが接続されている。FET31のドレインにはFET32のゲートが接続され、その接続ラインはコンデンサ33を介してアース接続されている。EL素子E_{1,1}のカソードにはFET32のソースが接続されており、FET32のドレインはアース接続されている。EL素子E_{1,1}のアノードは電源線Cに接続されている。

【0035】アドレス線A₁はアドレス走査ドライバ26内のスイッチ26₁に接続されており、スイッチ26₁は上記した正電位V_{cc}及び0Vのアース電位のうちの一方の電位をアドレス線A₁に供給する。また、データ線

B₁はデータドライバ27内のスイッチ27₁に接続されおり、スイッチ27₁は正電位V_t及び0Vのアース電位のいずれか一方の電位をデータ線B₁に供給する。電源線Cは電源回路28内のスイッチ28cに接続され、スイッチ28cは発光電位V_e、逆バイアス電位-V_a及び0Vのアース電位のいずれか1の電位を電源線Cに供給する。スイッチ26₁、スイッチ27₁及びスイッチ28cの切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0036】EL素子E₁₁₁が発光するサブフィールドにおいては、アドレス線A₁の行がアドレス期間になると、スイッチ26₁はアース電位の走査パルスをアドレス線A₁に供給する。その走査パルスの供給中において、FET31がオンとなると共にデータ線B₁には正電位V_tがスイッチ27₁を介して供給されるので、電圧V_tによってコンデンサ33が充電される。このときFET32のゲートにはコンデンサ33の端子電圧である正電圧が印加される。電源線Cにはアドレス期間においてはスイッチ28cから逆バイアス電位-V_aが供給されるので、EL素子E₁₁₁のアノードには逆バイアス電位-V_aが印加される。

【0037】アドレス期間が終了して発光期間となると、スイッチ26₁はアドレス線A₁に正電位V_{cc}を供給するので、FET31はオフとなる。一方、電源線Cを介してEL素子E₁₁₁のアノードには発光期間にはスイッチ28cから発光電位V_eが供給され、FET32はそのゲートにコンデンサ33の充電電圧が印加されているためオン状態となる。よって、EL素子E₁₁₁には発光電圧V_eが順方向にて印加されるので電流が流れてEL素子E₁₁₁は発光状態となる。

【0038】発光期間が終了すると、スイッチ28cは0Vのアース電位を電源線Cに供給するので、EL素子E₁₁₁の両端子間がほぼ0Vとなりリセット期間となる。かかる発光回路20₁₁₁は第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光パネル20の発光回路20₁₁₁以外の発光回路20₁₁₁～20₁₁₁（図示せず）各々においても発光回路20₁₁₁と同様に動作する。

【0039】なお、発光回路20₁₁₁は図11に示すように構成することもできる。図11の発光回路20₁₁₁はEL素子E₁₁₁の他に、NchのMOSFET46、PchのMOSFET47及びコンデンサ48からなる。アドレス線A₁にはFET46のゲートとが接続されている。データ線B₁にはFET46のソースが接続されている。FET46のドレインにはFET42のゲートが接続され、その接続ラインはコンデンサ48を介してアース接続されている。EL素子E₁₁₁のアノードにはFET42のドレインが接続されており、FET42のソースはアース接続されている。

【0040】スイッチ26₁は正電位V_{cc}及び0Vのア

ース電位のうちの一方の電位をアドレス線A₁に供給する。スイッチ27₁は正電位V_t及び0Vのアース電位のいずれか一方の電位をデータ線B₁に供給する。スイッチ28cは発光電位-V_e、逆バイアス電位V_a及び0Vのアース電位のいずれか1の電位を電源線Cに供給する。スイッチ26₁、スイッチ27₁及びスイッチ28cの切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0041】EL素子E₁₁₁が発光するサブフィールドにおいては、アドレス線A₁の行がアドレス期間になると、スイッチ26₁は正電位V_{cc}の走査パルスをアドレス線A₁に供給する。その走査パルスの供給中において、FET41がオンとなると共にデータ線B₁には正電位V_tがスイッチ27₁を介して供給されるので、電圧V_tによってコンデンサ43が充電される。このときFET42のゲートにはコンデンサ43の端子電圧である正電圧が印加される。電源線Cにはアドレス期間においてはスイッチ28cから逆バイアス電位V_aが供給されるので、EL素子E₁₁₁のカソードには逆バイアス電位V_aが印加される。すなわち、アドレス期間においては発光パネル20内の全てのEL素子E₁₁₁が逆方向にバイアスされる。

【0042】アドレス期間が終了して発光期間となると、スイッチ26₁はアドレス線A₁に0Vのアース電位を供給するので、FET41はオフとなる。一方、電源線Cを介してEL素子E₁₁₁のカソードには発光期間にはスイッチ28cから発光電位-V_eが供給され、FET42はそのゲートにコンデンサ43の充電電圧が印加されているためオン状態となる。よって、EL素子E₁₁₁には発光電圧V_eが順方向にて印加されるので電流が流れてEL素子E₁₁₁は発光状態となる。

【0043】発光期間が終了すると、スイッチ28cは0Vのアース電位を電源線Cに供給するので、EL素子E₁₁₁の両端子間がほぼ0Vとなりリセット期間となる。かかる発光回路20₁₁₁は第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光パネル20の発光回路20₁₁₁以外の発光回路20₁₁₁～20₁₁₁（図示せず）各々においても発光回路20₁₁₁と同様に動作する。

【0044】なお、上記した各実施例においては、アドレス期間においてはそれに続く発光期間に発光させるEL素子に逆バイアス電圧が印加されるが、発光させないEL素子にも逆バイアス電圧を印加しても良い。上記した実施例においては、輝度調整を時間変調方式（サブフィールド方式）で行う装置を示したが、次に、電流変調方式で輝度調整を行う駆動装置について説明する。

【0045】図12は電流変調方式で輝度調整を行う駆動装置を示している。この駆動装置は図2の装置と同様に線順次発光方式の発光を行うものであり、図12に示すように、アクティブマトリックス型発光パネル10、

レベル変換回路51、駆動制御回路52、アドレス走査ドライバ53及びデータドライバ54から構成されている。

【0046】アクティブマトリックス型発光パネル10は図13に示すように、図2に示したものと同一の構成を有する。レベル変換回路51は入力映像信号の輝度レベルを検出してその輝度レベルに応じた電圧信号を発光パネル10のデータ線B₁～B_nに対応させてデータドライバ54に供給する。なお、図13は発光パネル10におけるアドレス線A₁～A_mのうちの1つのアドレス線A₁とデータ線B₁～B_nのうちの1つのデータ線B₁とが交差する位置に設けられたEL素子E₁₁を含む発光回路10₁₁を示している。

【0047】アドレス走査ドライバ53は発光パネル10のアドレス線A₁～A_mに接続され、発光閾値V_{th}を超える発光電位V_e及び逆バイアス電位-V_aのいずれか1の電位をアドレス線A₁～A_m各々に個別に供給するスイッチを備えている。図13ではスイッチ6₁が上記した発光電位V_e及び逆バイアス電位-V_aのいずれか1の電位を選択的にアドレス線A₁に供給する。スイッチ6₁の切換は駆動制御回路52からのタイミング信号に応じて行われる。

【0048】データドライバ54は発光パネル10のデータ線B₁～B_n毎にサンプルホールド回路(図13の55₁)を有している。サンプルホールド回路各々はスイッチとコンデンサとからなり、レベル変換回路51から輝度レベルに対応する電圧信号が供給されるように構成されている。サンプルホールド回路の出力が対応するデータ線B₁～B_nに接続されている。

【0049】駆動制御回路52は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、入力映像信号における1フィールド期間内において各種駆動パルスを発光パネル10に印加すべきタイミング信号をアドレス走査ドライバ53及びデータドライバ54の各々に供給する。1フィールド期間内においては、図14に示すようにアドレス線A₁から順にアドレス期間となり、そのアドレス期間の開始はアドレス線A_mに向かって各アドレス線毎に所定期間だけ遅れる。アドレス走査ドライバ53は、アドレス期間において逆バイアス電位-V_aを走査パルスSPとしてアドレス線に供給する。アドレス期間が終了すると、発光期間となり、アドレス走査ドライバ53は、発光電位V_eをアドレス線に供給する。1フィールド内において各アドレス線毎のアドレス期間は同一の長さであり、発光期間も同一の長さである。

【0050】データドライバ54においては、レベル変換回路51から順次読み出されたデータ線B₁～B_n各々に対応した電圧信号をサンプルホールド回路に供給して保持させる。サンプルホールド回路55₁のスイッチ56₁はアドレス期間の直前に一時的にオンとなり、コ

ンデンサ57₁に電圧信号を保持させる。このスイッチ56₁のオンオフは駆動制御回路52から供給されるタイミング信号に応じて制御される。アドレス期間になったデータ線にはサンプルホールド回路55₁のコンデンサ57₁の保持レベルが印加され、これが画素データパルスとなる。

【0051】この際、走査パルスSPが印加された"行"と、保持レベルの画素データパルスが印加された"列"との交差部のEL素子にのみ発光期間において電流が流れ、発光状態となる。一方、走査パルスSPが印加されたものの、保持レベルが0Vの画素データパルスが印加されたEL素子には発光期間において電流は流れず、非発光状態となる。

【0052】図13の発光回路10₁₁のEL素子E₁₁が発光するフィールドにおいては、アドレス線A₁の行がアドレス期間になる直前にスイッチ56₁がオンとなり、レベル変換回路51から供給された輝度レベルに対応する正電圧の電圧信号がコンデンサ57₁に保持され、その後、スイッチ56₁は直ちにオフとなる。アドレス線A₁の行がアドレス期間になると、スイッチ6₁はアドレス線A₁に逆バイアス電位-V_aを供給する。このときEL素子E₁₁のアノードに負電位-V_aが印加され、カソードはアース電位であることからEL素子E₁₁は逆方向にバイアスされる。一方、データ線B₁にはアドレス期間においてコンデンサ57₁に保持されている電圧信号が供給されるので、FET11はオンとなり、電圧信号によってコンデンサ13が充電される。このときFET12のゲートにはコンデンサ13の端子電圧である正電圧が印加される。

【0053】アドレス期間が終了して発光期間となると、スイッチ6₁はアドレス線A₁に発光電位V_eを供給するので、FET11はオフとなるが、FET12はそのゲートにコンデンサ13の充電電圧が印加されるためオン状態又は能動状態となる。FET12はゲートへの印加電圧、すなわち輝度レベルに応じてオン状態又は能動状態となる。

【0054】FET12のオンの場合にはEL素子E₁₁のカソードはアース電位に等しくなり、EL素子E₁₁には発光電圧V_eが順方向にて印加されるので電流が流れ、EL素子E₁₁は発光状態となる。また、能動状態の場合にはコンデンサ13の充電電圧に応じた電流がEL素子E₁₁及びFET12のソース・ドレン間には流れるので、EL素子E₁₁は映像信号の輝度レベルに応じた輝度で発光することとなる。

【0055】かかる電流変調方式の駆動装置の発光回路10₁₁は図15に示すように構成することもできる。発光回路10₁₁は図6に示したように、EL素子E₁₁の他に、NchのMOSFET16、PchのMOSFET17及びコンデンサ18からなる。アドレス線A₁に接続されたスイッチ6₁は上記した発光電位-V_e及

び逆バイアス電位 V_a のいずれか 1 の電位を選択的にアドレス線 A_1 に供給する。

【0056】この図15のEL素子 E_{111} が発光するフィールドにおいては、アドレス線 A_1 の行がアドレス期間になる直前にスイッチ S_6 がオンとなり、レベル変換回路 S_1 から供給された正電圧の電圧信号がコンデンサ C_7 に保持され、その後、スイッチ S_6 は直ちにオフとなる。アドレス線 A_1 の行がアドレス期間になると、スイッチ S_6 はアドレス線 A_1 に逆バイアス電位 V_a を供給する。このときEL素子 E_{111} のカソードに正電位 V_e が印加され、アノードはアース電位であることからEL素子 E_{111} は逆方向にバイアスされる。一方、データ線 B_1 にはアドレス期間において正電位の電圧信号が供給されるので、FET T_6 はオンとなり、電圧信号によってコンデンサ C_8 が充電される。このときFET T_7 のゲートにはコンデンサ C_8 の端子電圧である正電圧が印加される。

【0057】アドレス期間が終了して発光期間となると、スイッチ S_6 はアドレス線 A_1 に発光電位 $-V_e$ を供給するので、FET T_6 はオフとなるが、FET T_7 はそのゲートにコンデンサ C_8 の充電電圧が印加されるためオン状態又は能動状態となる。FET T_7 はゲートへのコンデンサ C_8 からの印加電圧、すなわち輝度レベルに応じてオン状態又は能動状態となる。

【0058】FET T_7 のオンの場合には、EL素子 E_{111} のアノードはアース電位に等しくなり、EL素子 E_{111} には発光電圧 V_e が順方向にて印加されるので電流が流れ、EL素子 E_{111} は発光状態となる。また、能動状態の場合にはコンデンサ C_8 の充電電圧に応じた電流がEL素子 E_{111} 及びFET T_7 のソース・ドレイン間には流れるので、EL素子 E_{111} は映像信号の輝度レベルに応じた輝度で発光することとなる。

【0059】

【発明の効果】以上の如く、本発明によれば、アドレス期間にアクティブマトリックス型発光パネルの各EL素子に逆バイアス電圧を印加させることができ、この結果、EL素子の寿命を延ばすことができる。

【図面の簡単な説明】

* 【図1】EL素子の等価回路を示す回路図である。

【図2】本発明による線順次表示方式の駆動装置を示すブロック図である。

【図3】図2の装置の1サブフィールドにおけるアドレス期間及び発光期間を示す図である。

【図4】線順次表示方式の場合の1フィールドにおける各サブフィールドの分割を示す図である。

【図5】図2の発光パネル上の1つの発光回路例を示す回路図である。

10 【図6】図2の発光パネル上の1つの発光回路の他の例を示す回路図である。

【図7】本発明による全面一斉表示方式の駆動装置を示すブロック図である。

【図8】図7の装置の1サブフィールドにおけるアドレス期間及び発光期間を示す図である。

【図9】全面一斉表示方式の場合の1フィールドにおける各サブフィールドの分割を示す図である。

【図10】図7の発光パネル上の1つの発光回路例を示す回路図である。

20 【図11】図7の発光パネル上の1つの発光回路の他の例を示す回路図である。

【図12】電流変調方式で輝度調整を行う駆動装置を示すブロック図である。

【図13】図12の発光パネル上の1つの発光回路例を示す回路図である。

【図14】図12の装置の1フィールドにおけるアドレス期間及び発光期間を示す図である。

【図15】図12の発光パネル上の1つの発光回路の他の例を示す回路図である。

30 【符号の説明】

4, 24 メモリ

6, 26, 53 アドレス走査ドライバ

7, 27, 54 データドライバ

10, 20 発光パネル

28 電源回路

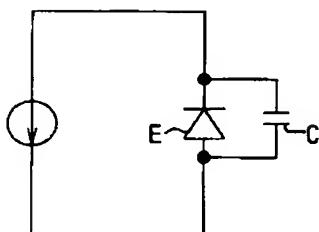
$A_1 \sim A_n$ アドレス線

$B_1 \sim B_n$ データ線

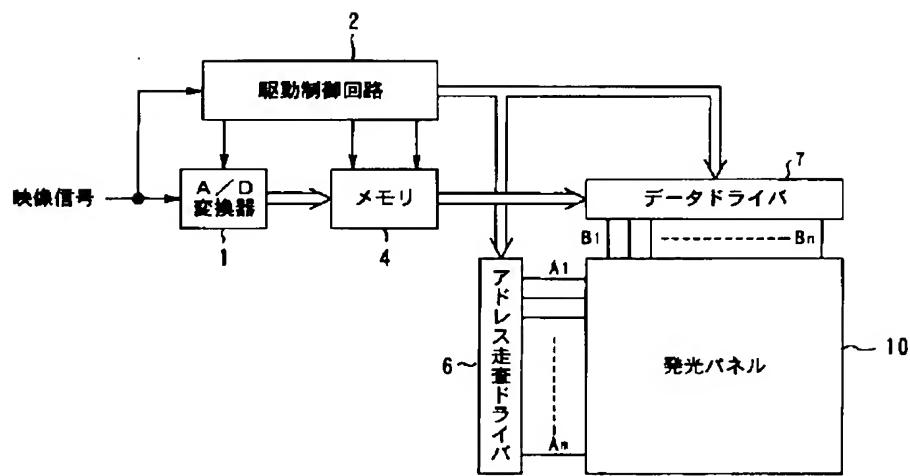
E_{111} EL素子

*

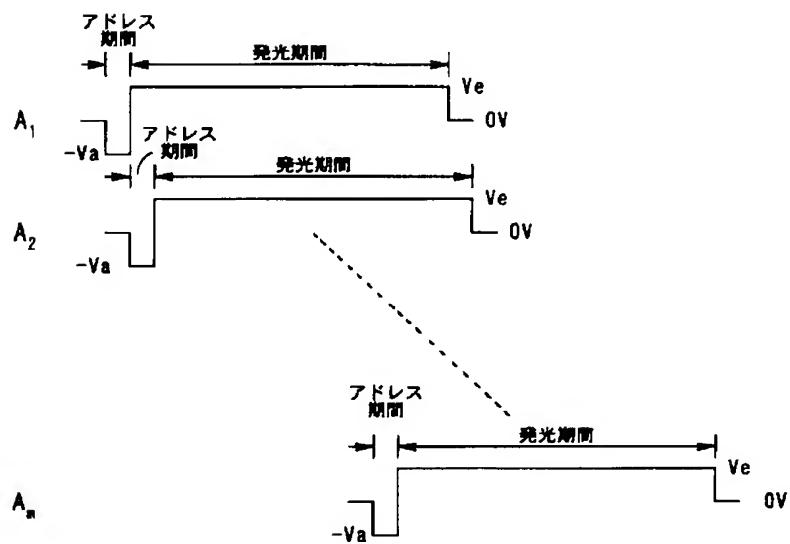
【図1】



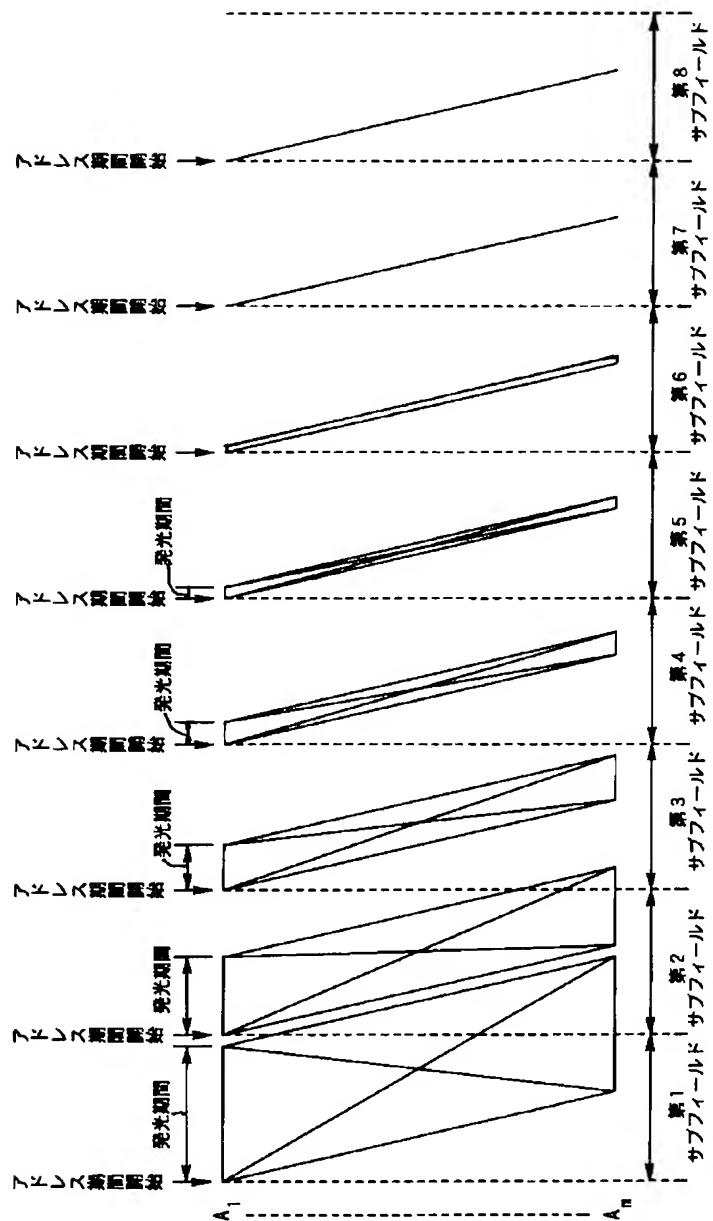
【図2】



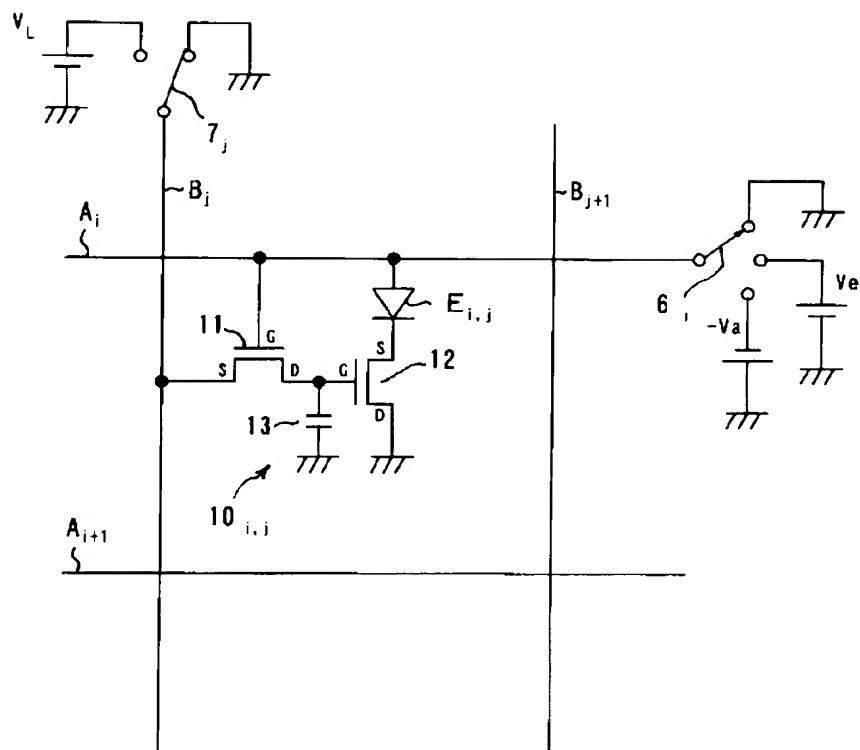
【図3】



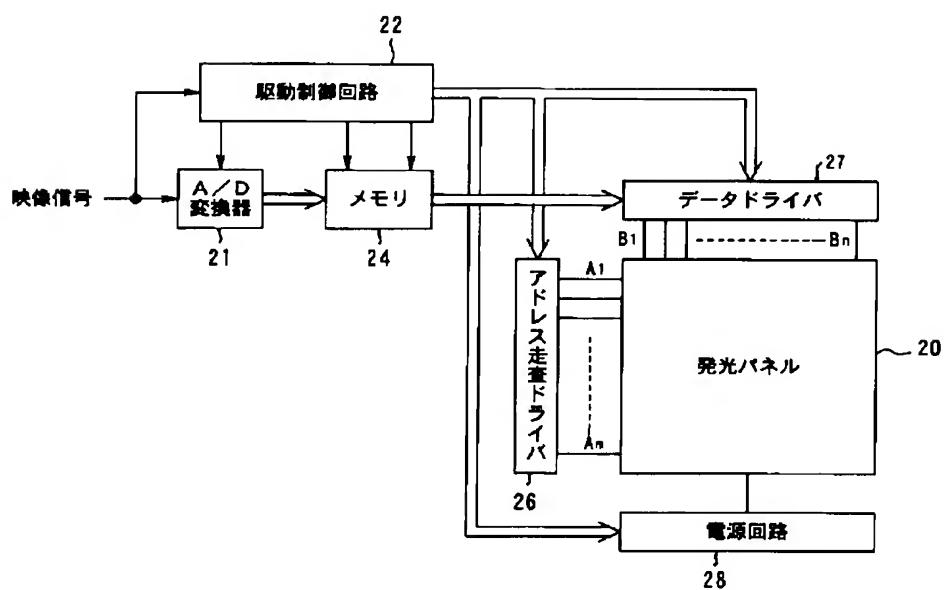
【図4】



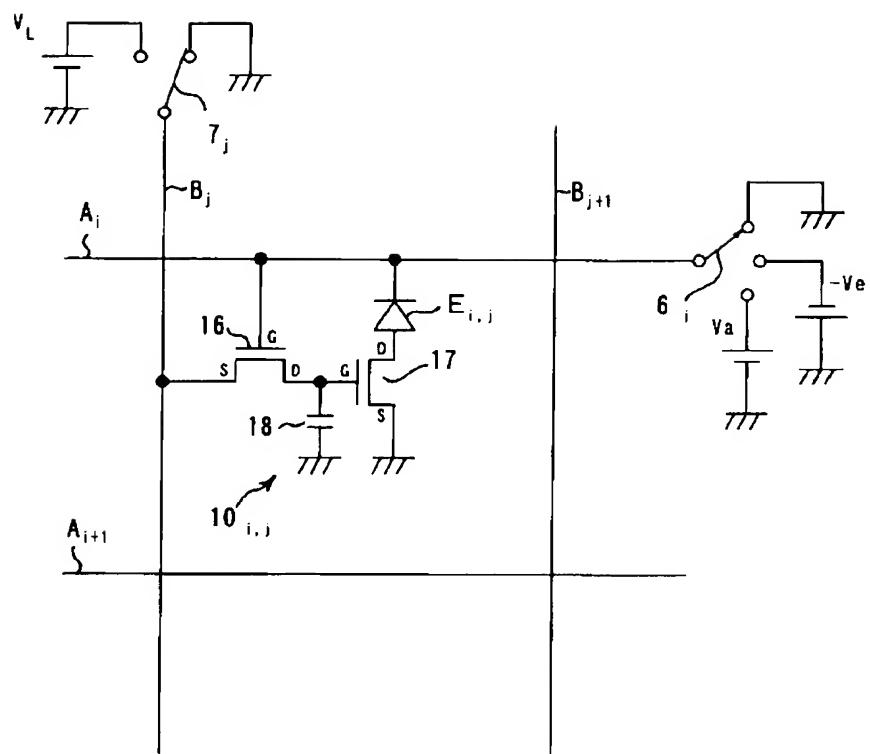
【図5】



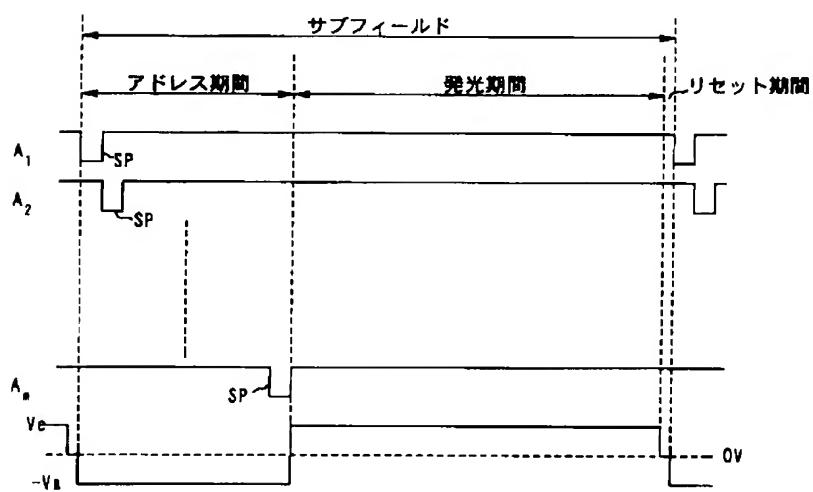
【図7】



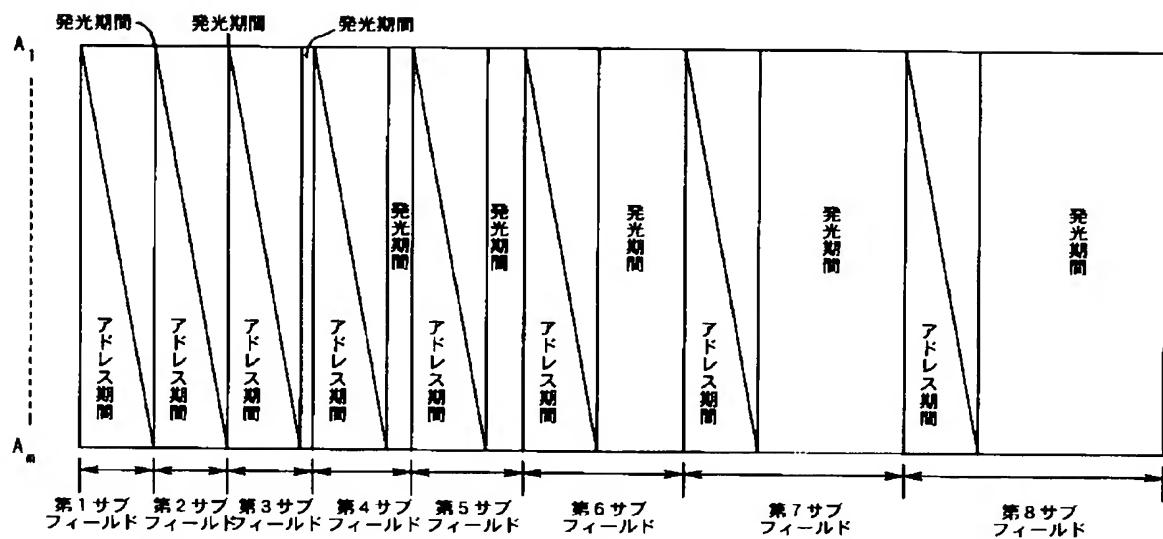
【図6】



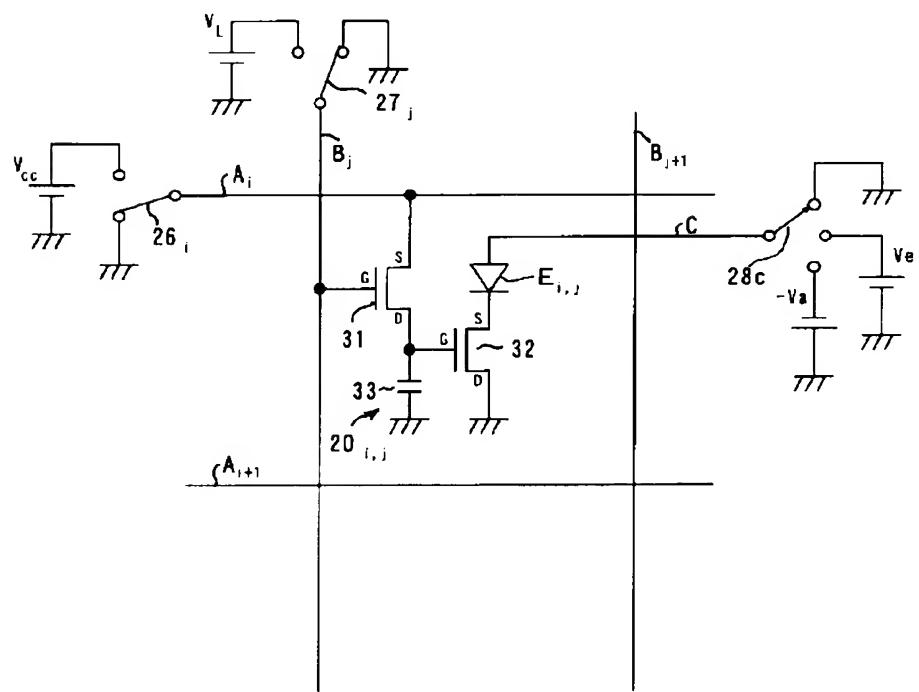
【図8】



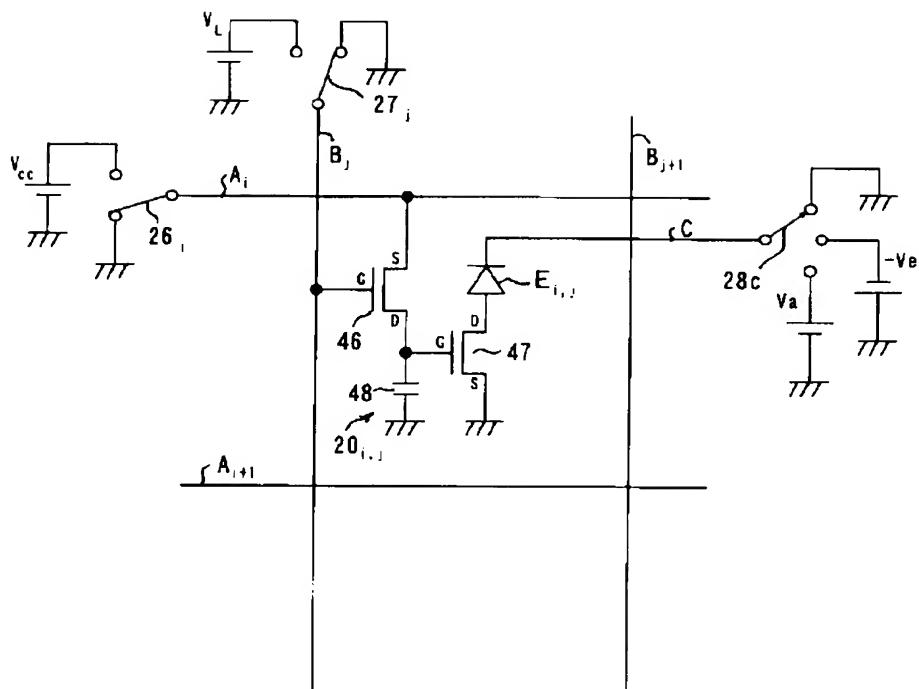
【図9】



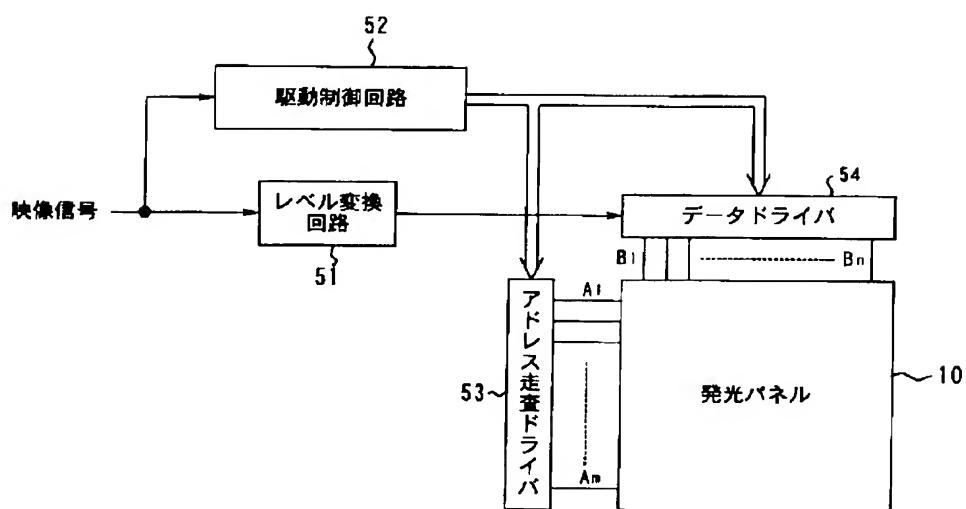
【図10】



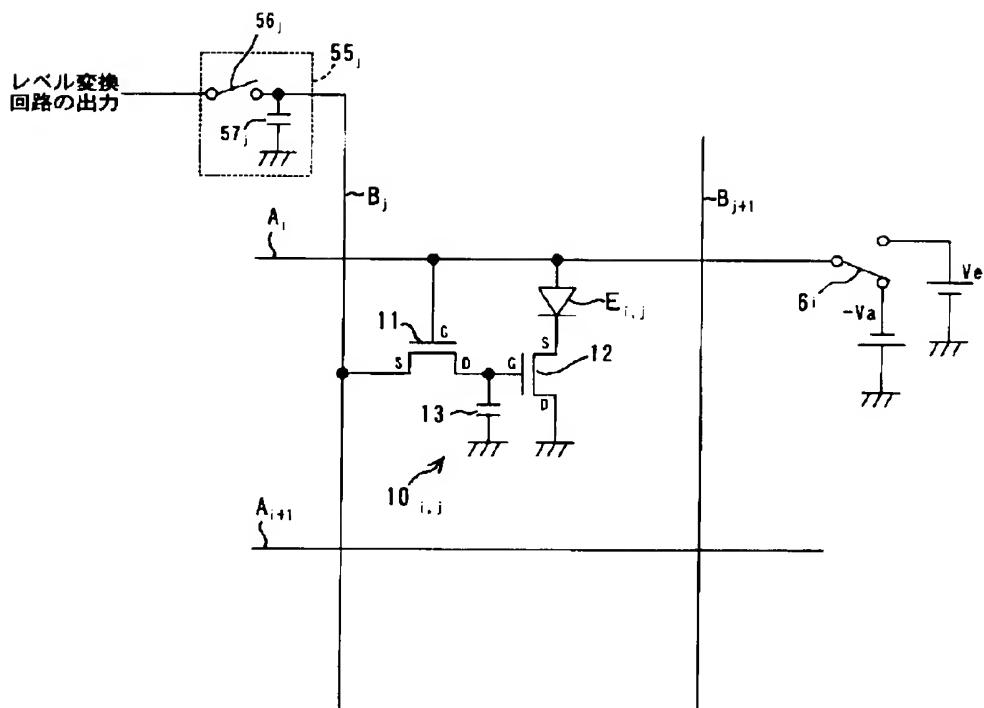
【図11】



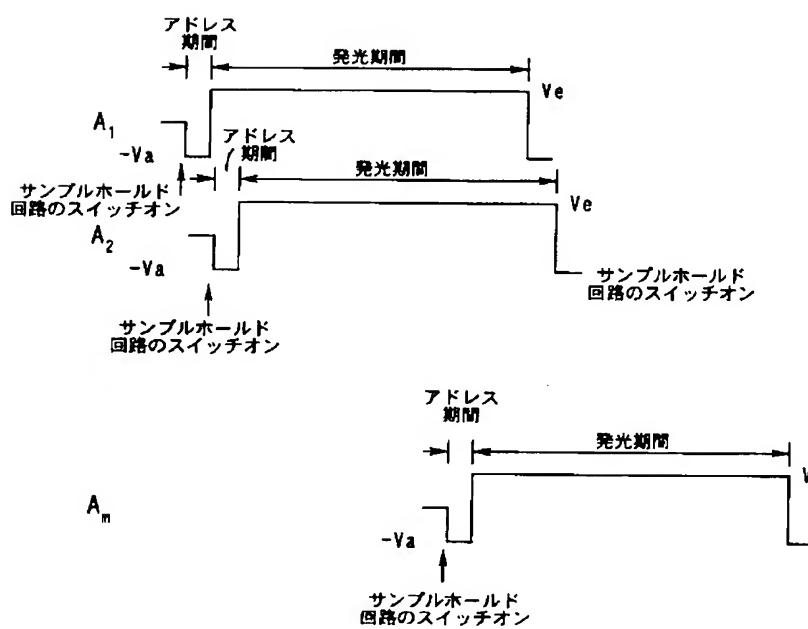
【図12】



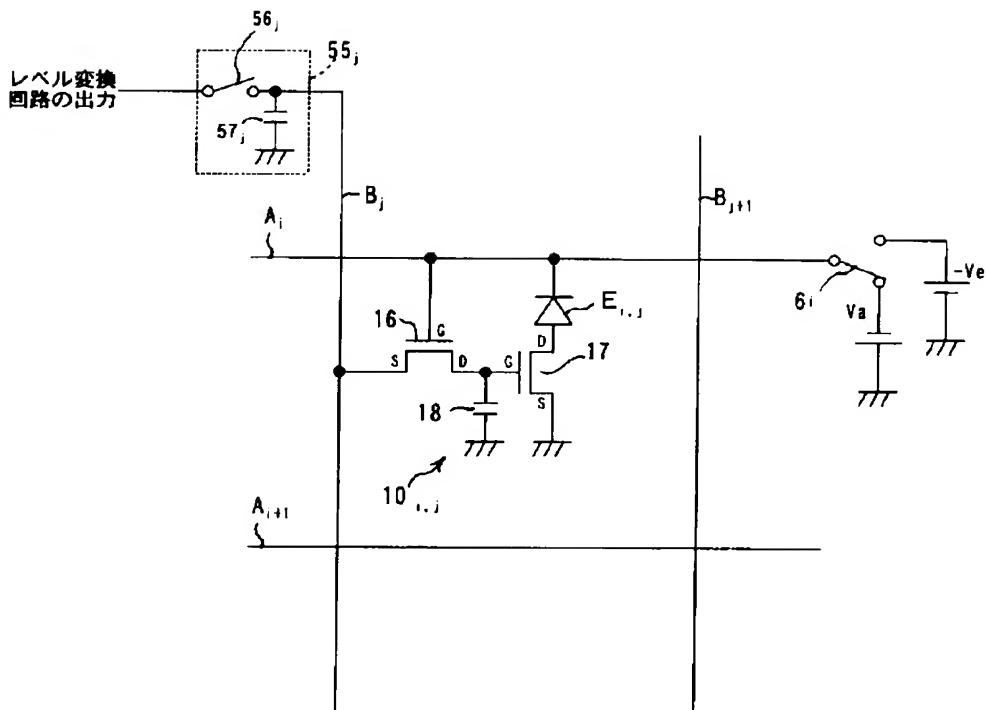
【図13】



【図14】



【図15】



【手続補正書】

【提出日】平成13年1月30日(2001.1.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間に前記入力映像データに応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子を前記アドレス期間に続く前記発光期間にオンさせるオン保持手段と、

前記発光期間に前記指定した駆動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加

する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項2】前記電圧印加手段は、前記発光させるべき発光素子に前記バイアス電圧を前記対応する駆動素子を介して印加することを特徴とする請求項1記載の駆動装置。

【請求項3】前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項4】前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、NチャンネルのFETからなり、前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス

線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加する第1スイッチと、前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項5】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、PチャンネルのFETからなり、前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記PチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項6】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行同時の前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項7】 前記駆動素子は、NチャンネルのFETからなり、

前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間にゼロ電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加する第2スイッチと、前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が正電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項8】 前記駆動素子は、PチャンネルのFETからなり、

前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記PチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加し、前記発光期間に前記アドレス線とアースとの間にゼロ電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加する第2スイッチと、前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陰極側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陰極とアースとの間にその陰極側が負電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項9】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する能動素子とを含むアクティブマ

トリックス型発光パネルの駆動装置であって、
入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持して前記アドレス期間にその輝度電圧に応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、

前記指定された能動素子を前記アドレス期間に続く前記発光期間に前記輝度電圧に応じて能動状態又はオン状態にさせる保持手段と、

前記発光期間に前記指定された駆動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項10】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項9記載の駆動装置。

【請求項11】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、
前記能動素子は、NチャンネルのFETからなり、
前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、
前記保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加するスイッチと、
前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオン又は能動状態となり、前記発光させるべき発光素子に前記NチャンネルのFETを介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【請求項12】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、

前記駆動素子は、PチャンネルのFETからなり、
前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、

前記保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記PチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、
前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオン又は能動状態となり、前記発光させるべき発光素子に前記PチャンネルのFETを介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】駆動制御回路2は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込み及び読出信号を発生する。更に、駆動制御回路2は、上記入力映像信号における1フィールド期間を8個のサブフィールドに分割し、各サブフィールドにおいて各種駆動パルスを発光パネル10に印加すべきタイミング信号をアドレス走査ドライバ6及びデータドライバ7の各々に供給する。このフィールドのサブフィールドへの分割は、256階調の表示をするためであり、各サブフィールドの輝度の相対比が1, 2, 4, 8, 16, 32, 64, 128となるように設定され、それらのサブフィールドの選択的組み合わせにより256階調が実現される。なお、1フィールド期間を8サブフィールド以外の数のサブフィールドに分割しても良い。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】なお、発光回路20_{1,1}は図11に示すように構成することもできる。図11の発光回路20_{1,1}

はEL素子E₁₁の他に、NchのMOSFET46、PchのMOSFET47及びコンデンサ48からなる。アドレス線A₁にはFET46のゲートが接続されている。データ線B₁にはFET46のソースが接続されている。FET46のドレインにはFET42のゲートが接続され、その接続ラインはコンデンサ48を介してアース接続されている。EL素子E₁₁のアノードにはFET42のドレインが接続されており、FET42のソースはアース接続されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】アドレス期間が終了して発光期間となると、スイッチ26_cはアドレス線A₁に0Vのアース電位を供給するので、FET46_cはオフとなる。一方、電源線Cを介してEL素子E₁₁のカソードには発光期間にはスイッチ28_cから発光電位-V_eが供給され、FET47_cはそのゲートにコンデンサ43の充電電圧が印加されているためオン状態となる。よって、EL素子E₁₁には発光電圧V_eが順方向にて印加されるので電流が流れ、EL素子E₁₁は発光状態となる。